

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-148293

(43)Date of publication of application : 27.05.1994

(51)Int.Cl.

G01R 31/28

G06F 11/26

(21)Application number : 04-299670

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 10.11.1992

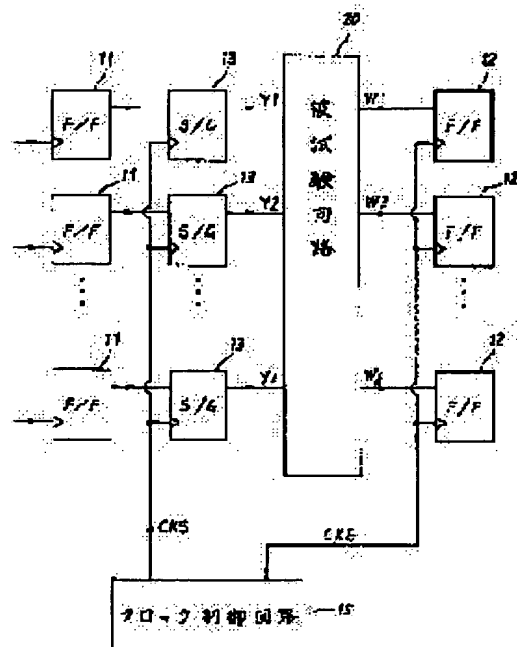
(72)Inventor : ASANO SEIJI

(54) TEST CIRCUIT FOR LOGICAL CIRCUIT

(57)Abstract:

PURPOSE: To more easily specify the max. operation frequency (delay time) and max. delay route of the logical circuit of a circuit to be tested without using a special testing device.

CONSTITUTION: The input signals Y1-Yi to a circuit 20 to be tested at the time of testing are stored in flip-flops 11. These signals are inputted to the circuit 20 to be tested in synchronous relation to a start clock signal CKS by start gate circuits 13. Thereafter, the output signals W1-Wj from the circuit 20 to be tested are stored in flip-flops 12 on an output side in synchronous relation to an end clock signal CKE. The start clock signal CKS and the end clock signal CKE are generated in a clock control circuit 15. On the basis of the time from the start clock signal CKS to the end clock signal CKE, the delay time of the circuit 20 to be tested can be specified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-148293

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/26	3 1 0	8323-5B	G 0 1 R 31/ 28	V
		6912-2G		G
		6912-2G		

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平4-299670

(22)出願日 平成4年(1992)11月10日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 浅野 誠治

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

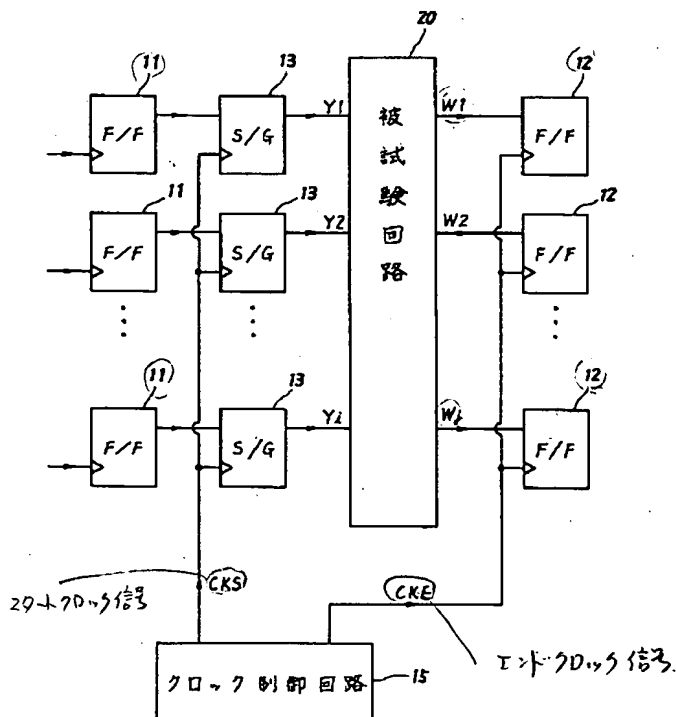
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 論理回路テスト回路

(57)【要約】

【目的】 特殊なテスト装置などを用いることなく、被試験回路の論理回路の最大動作周波数（遅延時間）及び最大遅延経路をより容易に特定する。

【構成】 テスト時の被試験回路20への入力信号Y₁～Y_iを、フリップフロップ11にて記憶する。これは、スタートクロック信号CKSに同期して、スタートゲート回路13にて前記被試験回路20へと入力される。この後、前記被試験回路20からの出力信号W₁～W_jは、エンドクロック信号CKEに同期して出力側フリップフロップ12に記憶される。前記スタートクロック信号CKS及び前記エンドクロック信号CKEは、クロック制御回路15にて発生される。前記スタートクロック信号CKSから前記エンドクロック信号CKEまでの時間に基づいて、前記被試験回路20の遅延時間などを特定することができる。



【特許請求の範囲】

【請求項1】テスト入力信号T Iを記憶保持する入力側フリップフロップと、

該入力側フリップフロップにて記憶保持されているものを、スタートクロック信号CKSに同期して、被試験回路へと入力するスタートゲート回路と、

該スタートクロック信号CKSに同期した入力後、前記被試験回路からのテスト出力信号T Oを、エンドクロック信号CKEに同期して記憶保持する出力側フリップフロップと、

前記スタートクロック信号CKSを出力してから所定テスト設定時間後、前記エンドクロック信号CKEを出力するクロック制御回路とを備えたことを特徴とする論理回路テスト回路。

【請求項2】請求項1において、

前記入力側フリップフロップと前記出力側フリップフロップとが、その入力にマルチプレクサが接続された、単一のフリップフロップとなっていることを特徴とする論理回路テスト回路。

【請求項3】請求項2において、

単一の前記フリップフロップが、スキャンパスレジスタを利用したものであることを特徴とする論理回路テスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、被試験回路の論理回路の最大動作周波数（遅延時間）及び最大遅延経路をより容易に特定することができる論理回路テスト回路に関する。

【0002】

【従来の技術】従来、ある被試験回路の論理回路の最大動作周波数は、シミュレーションや実回路テストにて特定するようにしていた。この最大動作周波数は、その被試験回路の動作遅延時間に依存したものであり、正常な動作を行うことができる最も高い周波数である。例えば、該被試験回路が所定のクロック信号に従って動作する同期式論理回路の場合、該最大動作周波数は、この被試験回路が正常な動作を行うことができる、該クロック信号の最大周波数となる。

【0003】又、前述のように被試験回路の論理回路の最大動作周波数を特定すべく行う、前記シミュレーションや前記実回路テストは、多数のテストパターンでなるテストパターンベクトルを、そのテスト対象となる被試験回路を種々の動作速度で実行させながら入力し、その実行結果が期待値通りであるか否かを判定するというものである。従って、このようなテストは、多数のテストパターンを実行しなければならないだけでなく、種々の周波数で何回も繰り返し同様のテストを行わなければならない、多くの時間や労力を必要としてしまうという問題がある。又、テストにあたって、正常な実行結果を予め

求めておくことにも多くの労力を必要としてしまう。更に、このような正常な実行結果と、被試験回路のテスト結果とを比較するためには、特殊なテスト装置を必要としまっていた。

【0004】このため、従来から、このような労力や時間の低減等を図ることが可能な、被試験回路の論理回路遅延時間に関する技術が様々開示されている。

【0005】例えば、特開平2-41572では、レジスタトランスファレベルのハードウェア記述言語又は機能ブロック図で与えられた同期式論理回路の仕様を入力として、合成ルールベースに格納された機能ブロックの合成ルールに従って詳細論理回路を合成し、ネットリストと各機能ブロックに適用した合成ルールリストとを出力する論理回路合成部を備えた、論理回路合成方式に関する技術が開示されている。該特開平2-41572では、前記ネットリストを入力として遅延解析を行い、最大遅延エラーがある場合には、エラーパスリストを出力する遅延解析部を有している。又、この遅延解析部の遅延解析により最大遅延エラーがあった場合に、前記合成ルールリストと前記エラーパスリストとを入力して、エラーパス上のクリティカルな機能ブロックを抽出し、当該機能ブロックについて再度合成を行うように前記論理回路合成部に指令するクリティカルブロック抽出部とを備えるようにしている。該特開平2-41572によれば、ゲート数と最大遅延時間とを小さくした論理回路の構成を行うことができる。

【0006】又、特開平2-105232では、ゲートレベルの論理設計終了後の論理回路における、論理動作の解析に関する技術が開示されている。該特開平2-105232では、論理回路中の各素子の接続関係、及び前記各素子の動作速度の指標となる最小遅延時間と最大遅延時間との情報を、電子計算機上の記憶領域中にデータ構造として構築するようにしている。又、前記論理回路に印加されるテストベクトル情報に基づき、前記最小遅延時間による論理シミュレーションと、前記最大遅延時間による論理シミュレーションとを同時に行う論理シミュレーション手段を備える。又、この2つの論理シミュレーションから、前記論理回路中の各素子の典型値を算出する典型値算出手段を有している。該典型値算出手段から得られた典型値から、前記論理回路中の各素子に対する論理動作の解析と、その時間的動作の解析を行うようにしている。該特開平2-105232で開示されている技術によれば、各論理素子の出力状態遷移の明確な取り扱い、及びタイミングずれによる誤動作箇所の検出を可能とすることができる。更に、遷移状態、R、Fなどに対する論理素子の不明確な動作定義を不要とする論理回路の動作検証方法を提供することが可能である。

【0007】又、特開平3-75875では、論理回路の遅延シミュレータにおいて、入力されたパターンを用いて、0ディレイ又はユニットディレイでシミュレーシ

ョンを行うという技術が開示されている。該特開平3-75875では、前記シミュレーション結果に基づき、活性化されたバスを検出すると共に、該活性化されたバス上の素子遅延と素子間の配線遅延を基に、最大遅延及び最小遅延のクリティカルバスを求めるというものである。該特開平3-75875によれば、より少ない処理時間及びより少ないメモリ容量にて、最大遅延及び最小遅延のクリティカルバス遅延を求めることが可能である。

【0008】又、特開平3-286376では、論理回路の各素子間の接続情報を記述した回路データから、論理シミュレーション用のテストベクタを自動的に生成する手段と、前記テストベクタの各々を流すに先立ち、前記論理回路の全信号線を不定状態にする手段とを備えている。又、前記テストベクタを使って、前記論理回路のシミュレーションを実行する手段と、シミュレーション結果を解析して、最大遅延を求める手段とを備えている。該特開平3-286376によれば、従来より効率的に真の最大遅延及び最大遅延経路を検出することが可能である。

【0009】一方、従来から、集積回路の動作のテストを容易化するために、例えばバウンダリスキャンレジスタを用いた、スキャンバス方式と呼ばれるテスト方式がよく用いられている。これは、ユーザ回路などの被試験回路の入力あるいは出力、又その回路内部のネットの論理状態の設定、あるいはその論理状態の読出しに、前記バウンダリスキャンレジスタなどのスキャンバスレジスタを用いるというものである。

【0010】該スキャンバスレジスタは、前述のような論理状態の設定や論理状態の読出しを行う箇所に接続される。又、このように接続された多数のスキャンバスレジスタは、その論理状態の設定の際には、その内部に備えたマルチプレクサを切替えることで1つの長大なシフトレジスタに構成される。従って、該シフトレジスタにシリアルなデータパターンを入力することによって、個々のスキャンバスレジスタの論理状態の設定を行うことができる。

【0011】一方、個々の前記スキャンバスレジスタの論理状態を読み出す際には、その内部のマルチプレクサを切替えることによって、1つの長大なシフトレジスタとして構成される。該シフトレジスタに記憶されている論理状態をシリアルにシフトさせる。これによって、個々の前記スキャンバスレジスタの論理状態を、順次外部から読み出すことが可能である。

【0012】図8は、従来のスキャンバスレジスタが内蔵された集積回路の一部分の回路図である。

【0013】この図8においては、前記集積回路に組み込まれている、合計3個のフリップフロップ、即ちこの図8の符号F1～F3で示される合計3個のスキャンバスレジスタと、所定の論理回路の組合せ回路20とによ

り構成される論理回路が組み込まれている。前記スキャンバステスト方式は、このように、論理回路を順序回路と組合せ回路とに分けてテストするというものである。

【0014】前記組合せ回路は、その入力が決まればその出力が直ちに決まるというものである。このときの出力は、そのゲートの組合せによって決まるものであり、所定の論理式で表わすことができる。従って、該組合せ回路は、その論理式を用いて比較的簡単にテストすることができる。一方、前記順序回路は、フリップフロップ同士、あるいはフリップフロップと前記組合せ回路が複雑につながっているため、出力の状態を単純な論理式で表わすことができない。従って、このような順序回路のテストは、非常に困難なものとなっている。

【0015】このため、前記スキャンバステスト方法では、テスト対象となる回路中の全てのフリップフロップの入力部分に所定のマルチプレクサを追加し、該マルチプレクサを、「通常モード」と「テストモード」に切替えることによってテストを行う。通常は、このマルチプレクサを前記通常モードにする。一方、テスト時には、前記テストモードに切替えることにより、全てのフリップフロップを前述のように1つのシフトレジスタにする。このように、前記セレクトの切替えによって、前記図8に示す如く、その論理回路を、組合せ回路20と、全てのフリップフロップ（該図8では符号F1～F3）が接続されてなる1つのシフトレジスタとに分割することができる。

【0016】まず、前記通常動作時には、出力信号W1～W3が、前記組合せ回路20から前記スキャンバスレジスタF1～F3に入力される。又、該通常動作時には、該スキャンバスレジスタF1～F3から信号Y1～Y3が、再び前記組合せ回路20に入力される。一方、前記テストモードでは、集積回路中の論理回路の前記スキャンバスレジスタF1～F3が相互に接続されて、シフトレジスタ構造となる。

【0017】なお、このようなスキャンバスレジスタF1～F3は、図9に示される如く、マルチプレクサ32と、代表的双安定型のフリップフロップ34とにより構成されている。前記マルチプレクサ32は、テストモード選択信号S1が「1」（テストモード）の場合、シフト入力SIを前記フリップフロップ34の入力Dに接続する。一方、該マルチプレクサ32は、前記テストモード選択信号S1が「0」となると、データ入力D1、即ち前記信号W1～W3のいずれかを、前記フリップフロップ34の入力Dに接続する。

【0018】前記図8及び前記図9に示される、集積回路に組み込まれた論理回路のテストは、次のように行うことができる。

【0019】具体的には、まず、組合せ回路20をテストするために、前記テストモード選択信号S1を「1」（テストモード）に設定し、シフト入力SDIから所定

のテストパターンをシリアル形式で順次入力する。これによって、前記組合せ回路20へと前記スキャンバスレジスタF1～F3から入力するテストパターンを設定する。

【0020】この後、前記テストモード選択信号S1を「0」にして、テスト用通常動作モードとし、回路の論理状態が安定した後、クロック信号CKの入力によって、前記信号W1～W3を前記スキャンバスレジスタF1～F3に書き込む。次いで、前記テストモード選択信号S1を再び「1」として、テストモードに戻し、シフト出力SDOから、前記スキャンバスレジスタF1～F3の内容を順次読み出す。

【0021】

【発明が達成しようとする課題】しかしながら、前記特開平2-41572、前記特開平2-105232、前記特開平3-75875及び前記特開平3-286376は、いずれも、論理回路のシミュレーションに関するものであり、シミュレーションによって遅延時間などを算出するというものである。従って、これらはいずれも特殊なテスト装置を用いるものとなっている。例えば、前記特開平2-41572では、ネットリストを入力して遅延解析を行い、最大遅延エラーがある場合にはエラーパスリストを出力する遅延解析部を備えている。

【0022】本発明は、前記従来の問題点を解決するべく成されたもので、特殊なテスト装置などを用いることなく、被試験回路の論理回路の最大動作周波数（遅延時間）及び最大遅延経路をより容易に特定することができる、論理回路テスト回路を提供することを目的とする。

【0023】

【課題を達成するための手段】本発明は、テスト入力信号TIを記憶保持する入力側フリップフロップと、該入力側フリップフロップにて記憶保持されているものを、スタートクロック信号CKSに同期して、被試験回路へと入力するスタートゲート回路と、該スタートクロック信号CKSに同期した入力後、前記被試験回路からのテスト出力信号TOを、エンドクロック信号CKEに同期して記憶保持する出力側フリップフロップと、前記スタートクロック信号CKSを出力してから所定テスト設定時間後、前記エンドクロック信号CKEを出力するクロック制御回路とを備えたことにより、前記課題を達成したものである。

【0024】又、前記論理回路テスト回路において、前記入力側フリップフロップと前記出力側フリップフロップとが、その入力にマルチプレクサが接続された、単一のフリップフロップとなっていることにより、同じく前記課題を達成すると共に、更に、用いられる素子数の低減を図ったものである。

【0025】又、前記論理回路テスト回路において、単一の前記フリップフロップが、スキャンバスレジスタを利用したものであることにより、前記課題を達成すると

共に、用いられる素子数の低減、及び、既にスキャンバスレジスタを用いているものに対する適用をより容易にしたものである。

【0026】

【作用】従来、論理回路の最大動作周波数（遅延時間）や最大遅延経路は、前述の如く、シミュレーションの際、種々の特殊なテスト装置を用いて行っていた。本発明では、その最大動作周波数やその最大遅延経路を特定するための論理回路テスト回路を、被試験回路の論理回路自体の中へと、一時的あるいは恒久的に組み込んでしまうという、従来とは異なる着目点に基づいて成されたものである。従って、特殊なテスト装置を必要とすることがない。

【0027】図1は、本発明の要旨を示すブロック図である。

【0028】この図1において、被試験回路20は、i本の入力信号線Y1～Yiを有している。又、該被試験回路20は、j本の出力信号線W1～Wjを有している。このような被試験回路20においては、その遅延時間は、前記入力信号線Y1～Yiに対して所定信号パターンを入力した後、前記出力信号線W1～Wjの論理状態が定常状態となるまでの時間となる。又、このような遅延時間が確保される動作周波数が、その最大動作周波数となる。又、前記出力信号線W1～Wjのうち、最も最後にその論理状態が定常状態となるものが、最大遅延経路となる。

【0029】この図1において、前記入力信号線Y1～Yiには、それぞれ、入力側フリップフロップ11と、スタートゲート回路13とが接続されている。即ち、この図1においては、前記入力側フリップフロップ11及び前記スタートゲート回路13は、いずれも合計i個となっている。又、前記出力信号線W1～Wjには、それぞれ、出力側フリップフロップ12が接続されている。従って、該出力側フリップフロップ12の個数は、合計j個となっている。

【0030】又、この図1において、クロック制御回路15は、前記入力側フリップフロップ11全てに入力されているスタートクロック信号CKSと、前記出力側フリップフロップ12全てに入力されているエンドクロック信号CKEとを発生する。該クロック制御回路15は、例えば、テスト作業による所定の操作などによるテスト開始時に、前記スタートクロック信号CKSを出力する。又、該クロック制御回路15は、前記スタートクロック信号CKSを出力してから、所定テスト設定時間後、前記エンドクロック信号CKEを出力する。該所定テスト設定時間は、テスト作業などによって設定されるものであり、前記被試験回路の遅延時間に相当するものとなる。

【0031】このような本発明の論理回路テスト回路において、前記被試験回路20の最大動作周波数や遅延時

間や最大遅延経路を求める際には、例えば以下のような手順にて行う。

【0032】まず、第1に、前記被試験回路20の前記入力信号線Y1～Yiに、テスト開始時にセットするデータパターンT11～T1iを、合計i個の前記入力側フリップフロップ11にセットする。これは、これら入力側フリップフロップ11それぞれに順次セットしてもよい。あるいは、これら入力側フリップフロップ11をシフトレジスタの如く構成し、前述のようなデータパターンをシリアルに順次セットしてもよい。

【0033】このように、データパターンT11～T1iがセットされると、所定の操作によって、前記クロック制御回路15のテスト開始を行う。テストが開始されると、まず、該クロック制御回路15は、前記スタートクロック信号CKSを出力する。該スタートクロック信号CKSは、全ての前記スタートゲート回路13に入力される。該スタートクロック信号CKSの入力によって、前記スタートゲート回路13は、前記入力側フリップフロップ11にセットされているものを、それぞれ対応する前記入力信号線Y1～Yiへと出力する。このような前記入力信号線Y1～Yiへの出力は、前記スタートクロック信号CKSに従って、一瞬のうちに一斉に行われる。

【0034】このように、前記入力信号線Y1～Yiへデータが入力されると、前記被試験回路20は、その所定の動作を行う。又、この動作結果は、前記出力信号線W1～Wjへと随時出力される。

【0035】前記スタートクロック信号CKSの出力後、前記所定テスト設定時間後には、前記エンドクロック信号CKEが、前記クロック制御回路15から出力される。該エンドクロック信号CKEが出力されると、全ての前記出力側フリップフロップ12は、対応する前記出力信号線W1～Wjの論理状態を取り込む。従って、これら出力側フリップフロップ12全てには、前記スタートクロック信号CKSから前記所定テスト設定時間後の、前記出力信号線W1～Wjの出力状態が記憶されることになる。

【0036】従って、前記エンドクロック信号CKEに従って記憶された前記出力側フリップフロップ12の記憶内容を、正常に動作した場合のものと比較することによって、前記所定テスト設定時間内で前記被試験回路20が正常に動作したか否かをテストすることができる。

又、このようなテストを、前記所定テスト設定時間を異ならせて複数回行うことにより、最大動作周波数や遅延時間、又最大遅延経路などを求めることが可能である。

【0037】前記入力側フリップフロップ11としては、一般的な双安定型フリップフロップを用いることができる。又、前記出力側フリップフロップ12には、クロック入力CKを備えた、例えば一般的なT型フリップフロップや、D型フリップフロップなどを用いることが

できる。該出力側フリップフロップ12は、そのデータの記憶タイミングとなるクロック入力CKを、少なくとも備えている必要がある。

【0038】前記スタートゲート回路13は、例えば後述する実施例の如く、エクスクルーシブNORゲートなど、種々の論理ゲートを用いて構成してもよい。あるいは、例えばこのようなスタートゲート回路13は、T型フリップフロップやD型フリップフロップなど、その記憶タイミングとなるクロック入力CKを少なくとも備えたフリップフロップを用いてもよい。該スタートゲート回路13として、このようにフリップフロップを用いた場合には、前記スタートクロック信号CKSは、そのクロック入力CKに入力される。前記スタートゲート回路13として用いられるフリップフロップのクロック入力CKに、前記スタートクロック信号CKSが入力されると、前記入力側フリップフロップ11の出力が記憶されると共に、このスタートクロック信号CKSの入力のタイミングで、前記入力側フリップフロップ11の出力が前記被試験回路20へと出力される。

【0039】なお、前記入力側フリップフロップ11や前記出力側フリップフロップ12は種々のフリップフロップを用いることができるが、更に、ある入力側フリップフロップ11をある出力側フリップフロップ12と、単一のフリップフロップとしてもよい。例えば後述する実施例の如く、このように単一のフリップフロップとすることにより、用いられる素子数を減少することができる。

【0040】又、このような単一のフリップフロップを、例えば、前記図8や前記図9を用いて前述したようなスキャンバスレジスタを利用したものとしてもよい。例えば、後述する実施例の如く、スキャンバスレジスタ中にて、本発明を適用してもよい。これによって、スキャンバスレジスタを既に備えていたもの等に対して、本発明の適用をより容易に行うことが可能である。

【0041】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0042】図2は、本発明が適用された論理回路テスト回路を有する集積回路の回路図である。

【0043】この図2を本実施例では、その論理回路が、組合せ回路20と、合計3個のスキャンバスレジスタ30とによって構成されている。これらスキャンバスレジスタ30において、特に本発明が適用されている。又、これらスキャンバスレジスタ30は、前記図8や前記図9を用いて説明した従来のものに比べ、更に、選択信号S2を備えている。

【0044】図3は、本実施例に用いられるスキャンバスレジスタの回路図である。

【0045】この図3においては、前記図2に示される前述のスキャンバスレジスタ30の1つが示されてい

る。この図3に示されるように、前記スキャンバスレジスタ30は、主として、マルチプレクサ32と、フリップフロップ34と、エクスクルーシブNOR36と、もう1つのマルチプレクサ38を備えている。

【0046】この図3に示される本実施例のスキャンバスレジスタ30は、前記図8や前記図9に示されたものと比べ、その相違点は、前記エクスクルーシブNOR36と、前記マルチプレクサ38とを備えている点である。これらエクスクルーシブNOR36とマルチプレクサ38とによって、本発明の前記図1に示されるような、前記スタートゲート回路13が構成されている。又、本実施例では、前記図1の前記入力側フリップフロップ11と前記出力側フリップフロップ12とが、単一の前記フリップフロップ34となっている。

【0047】以下、本実施例の作用を、図4～図7のタイムチャートを用いて説明する。

【0048】図4は、通常動作時のタイムチャートである。

【0049】この図4において、時刻 t_0 では、前記選択信号S1及びS2が、いずれも“0”となっている。これによって、前記マルチプレクサ32は、前記出力信号線W1～W3が接続されているデータ入力D1を前記フリップフロップ34のデータ入力Dへと接続する。又、前記マルチプレクサ38は、前記フリップフロップ34の出力を、前記入力信号線Y1～Y3が接続されているQ3へと接続する。これによって、この図4の時刻 $t_1 \sim t_8$ のそれぞれにおけるクロック信号CLKの立上りで、データ入力D1、即ち前記出力信号線W1～W3の論理状態を記憶し、これを前記Q3として出力する。

【0050】図5は、本実施例のテスト開始時のタイムチャートである。

【0051】この図5の時刻 t_0 において、前記選択信号S1が“1”となり、前記選択信号S2が“0”となることによって、合計3個の前記スキャンバスレジスタ30は、シフトレジスタとして機能するようになる。この後、時刻 $t_1 \sim t_8$ において、前記クロック信号CLKが順次入力されるに連れ、前記シフトデータ入力SDIからテストデータパターンが順次入力される。又、これに従って、各前記スキャンバスレジスタ30それぞれのシフトデータ入力SIに順次入力されるデータに従って、それぞれのスキャンバスレジスタ30の出力Q3が変化する。このようなシフトレジスタとしての動作は、全ての前記スキャンバスレジスタ30へのテストデータパターンがセットされるまで行われる。

【0052】図6は、本実施例でのテストパス形成開始時のタイムチャートである。

【0053】前述のようにテストデータパターンを順次シフトしながら、前記スキャンバスレジスタ30全てに所望のデータが設定されると、この図6の時刻 t_3 に

て、前記選択信号S1が“0”となり、前記選択信号S2が“1”となる。これによって、テストパスが形成される。

【0054】図7は、本実施例でのテスト中の動作を示すタイムチャートである。

【0055】この図7において、時刻 t_0 では、前述のように前記選択信号S1が“0”となり、前記選択信号S2が“1”となることにより、最大動作周波数（遅延時間）及び最大遅延経路を求めるためのテストパスが形成される。このようにテストパスが形成されると、前記図3において、前記マルチプレクサ38は、前記エクスクルーシブNOR36の出力Q2を出力Q3として出力する。前記エクスクルーシブNOR36において、その入力の前記クロック信号CLKは“1”であるので、前記フリップフロップ34の出力Q1と同一の論理状態が出力Q2として出力される。又、これは、出力Q3として出力される。

【0056】このようにテストパスが形成された後、この図7の時刻 t_1 において、前記クロック信号CLKが“0”となると、前記エクスクルーシブNOR36は、前記出力Q1の論理状態を反転した出力Q2を出力する。従って、前記出力Q3は、このときの前記クロック信号CLKの立下りにおいて、このとき以前のその論理状態とは反対の論理状態へと反転する。

【0057】このように、該クロック信号CLKの立下りは、本発明のスタートクロック信号CKSの入力に相当するものである。即ち、本実施例では、前記クロック信号CLKの立下りによって、前記フリップフロップ34にて記憶保持されているものの反対の論理状態を、前記被試験回路（組合せ回路）20に入力することとなる。従って、このようなテスト開始時には、前記フリップフロップ34は、本発明の前記入力側フリップフロップに相当する動作を行うものである。該フリップフロップ34には、テストスタート時に被試験回路へと入力する信号とは反対の論理状態が記憶されているものである。

【0058】前記時刻 t_1 において、合計3個の前記スキャンバスレジスタ30全てから、前記クロック信号CLKの立下りに同期して所望の論理状態が前記被試験回路20に入力されると、該被試験回路20はこれらの入力に応じた動作を行い、その結果が前記出力信号W1～W3として出力される。

【0059】前記クロック信号CLKの立下りの後、前記被試験回路20の出力信号W1～W3の論理状態が安定するまでの期間が、当該被試験回路の遅延時間となる。又、最も最後にその論理状態が安定したものが、最大遅延経路となる。例えば、前記図7の時刻 t_2 においては、前記出力信号W1～W3の論理状態が安定し、合計3個の前記スキャンバスレジスタ30それぞれの入力D1の論理状態が安定している。即ち、この図7のタイ

ムチャートでは、前記時刻 t_1 から前記時刻 t_2 までの期間が、前記図2の前記被試験回路20の遅延時間となっている。

【0060】この図7に示されるように、前記出力信号 $W1 \sim W3$ の論理状態が安定した前記時刻 t_2 の後に、時刻 t_3 にて、前記クロック信号 CLK が立上ると、このように論理状態が安定した前記出力信号 $W1 \sim W3$ が、前記スキャンバスレジスタ30のそれぞれの前記フリップフロップ34へと取り込まれる。このように取り込まれた前記スキャンバスレジスタ30それぞれの論理状態は、前述のように前記出力信号 $W1 \sim W3$ それぞれの論理状態が安定した後のものであるため、正常な動作後に期待される論理状態と同一のものとなる。

【0061】一方、前記出力信号 $W1 \sim W3$ のそれぞれの論理状態が安定する前記時刻 t_2 以前に、前記クロック信号 CLK が立上ると、その論理状態が安定していない前記出力信号 $W1 \sim W3$ それぞれが、対応する前記スキャンバスレジスタ30の前記フリップフロップ34に取り込まれることとなる。この場合、前記スキャンバスレジスタ30のそれぞれの前記フリップフロップ34には、一般的には、前記被試験回路20が正常に動作を完了したときの論理状態として期待されるものとは異なるものが、前記出力信号 $W1 \sim W3$ として取り込まれてしまっている。

【0062】前述のように前記クロック信号 CLK が立上った後には、前記選択信号 $S1$ を“1”とし、且つ、前記選択信号 $S2$ を“0”とし、前記図5及び前記図6を用いて前述したように、合計3個の前記スキャンバスレジスタ30をシフトレジスタとして動作させ、シリアル形式で該スキャンバスレジスタ30それぞれの前記フリップフロップ34に取り込まれた論理状態を順次読み出す。このようにシリアル形式で読み出される前記フリップフロップ34の論理状態を、前記被試験回路20が正常な動作を完了した場合に期待されるものと比較することにより、該組合せ回路20の前記出力信号 $W1 \sim W3$ それぞれの論理状態が安定した後に、前記クロック信号 CLK が立上ったか否かを判断することができる。

【0063】例えば、第1回目のテストにおいて、前記出力信号 $W1 \sim W3$ それぞれの論理状態が安定した後に、前記クロック信号 CLK が立上ったと判断された場合には、前記図7の前記時刻 t_1 から前記時刻 t_3 までの時間を順次短縮しながら、再テストを繰り返す。これは、前記出力信号 $W1 \sim W3$ が安定する以前に、前記クロック信号 CLK が立上ってしまったと判断されるまで繰り返す。これによって、前記被試験回路20の最大動作周波数（遅延時間）や、最大遅延経路を特定することができる。一方、第1回目のテストにおいて、前記出力信号 $W1 \sim W3$ のそれぞれの論理状態が安定する以前に、前記クロック信号 CLK が立上ったと判断された場合には、前記図7の前記時刻 t_1 から前記時刻 t_3 まで

の時間を順次延長させながら再テストを繰り返す。これは、前記出力信号 $W1 \sim W3$ のそれぞれの論理状態が安定した後に前記クロック信号 CLK が立上ったと判断されるまで繰り返す。これにより、前記被試験回路20の最大動作周波数（遅延時間）及び最大遅延経路を特定することができる。

【0064】なお、前記図7のタイムチャートでの前記時刻 t_1 から前記時刻 t_3 までの時間、即ち前記クロック信号 CLK が“0”となっている期間の時間を τ とすると該時間 τ は、本発明の前記所定テスト設定時間に相当する。又、前記最大動作周波数 f は、該時間 τ によって、次式のように表わすことができる。

【0065】

$$f = 1 / (2 \cdot \tau) \text{ (Hz)} \quad \dots (1)$$

【0066】以上説明した通り、本実施例によれば、複数の前記スキャンバスレジスタ30中のそれぞれの前記フリップフロップ34にて記憶保持されているものとは反対の論理状態を、前記クロック信号 CLK の立下りに同期して、前記被試験回路20へと一斉に入力することが可能である。これら複数の前記フリップフロップ34には、複数の前記スキャンバスレジスタ30をシフトレジスタとして動作させながら、集積回路の外部から前記シフトデータ入力 SDI から、所望のテストデータパターンを入力することができる。

【0067】又、このように前記クロック信号 CLK の立下りに同期して前記被試験回路20へと一斉に入力した後、複数の前記スキャンバスレジスタ30中のそれぞれの前記フリップフロップ34へと、前記クロック信号 CLK の立上りに同期して前記被試験回路20からの出力信号 $W1 \sim W3$ を取り込むことが可能である。このように、それぞれの前記フリップフロップ34に取り込まれたものは、複数の前記スキャンバスレジスタ30を再びシフトレジスタとして動作させることにより、前記シフトデータ出力 SDO からシリアル形式にて順次読み出すことができる。

【0068】このようにしてテスト後読み出されたものと、前記被試験回路20が正常な動作を完了したときに期待されるものとを比較することにより、前記被試験回路20の遅延時間と前記クロック信号 CLK の立下りから立上りまでの時間との関係を判断することができる。従って、本実施例によれば、前記被試験回路20の最大動作周波数（遅延時間）や最大遅延経路を特定することができる。

【0069】又、本実施例においては、本発明の前記入力側フリップフロップと本発明の前記出力側フリップフロップとが単一の前記フリップフロップ34となっている。従って、本実施例では素子数の低減を図ることができ、集積度の向上などが可能となっている。又、本実施例では、前記単一の前記フリップフロップ34が、前述のように、前記スキャンバスレジスタ30中のものである

る。従って、前記図7や前記図8を用いて前述したような従来の論理回路にも、そのスキャンパスレジスタF1～F3それぞれを本実施例の前記スキャンパスレジスタ30と容易に置き換えることが可能であり、本発明をより容易に適用することが可能である。

【0070】

【発明の効果】以上説明した通り、本発明によれば、特殊なテスト装置などを用いることなく、被試験回路の論理回路の最大動作周波数（遅延時間）及び最大遅延経路をより容易に特定することができる。本発明の論理回路テスト回路を組み込むことにより、例えばシミュレーションや実回路テストなどによって、前述のようにその最大動作周波数（遅延時間）や最大遅延経路を特定することができる。このようなシミュレーションや実回路テストの際には、従来からあったシミュレーション装置の機能や、実回路テストに用いる従来からのテスト装置などを用いることができ、このように特殊なテスト装置を必要とせずより容易にテストを行うことが可能である。

【図面の簡単な説明】

【図1】本発明の要旨を示すブロック図

【図2】本発明が適用された実施例の集積回路の回路図

【図3】前記実施例に用いられるスキャンパスレジスタの回路図

【図4】前記実施例の通常動作時の動作を示すタイムチャート

【図5】前記実施例のテストデータ入力時あるいは出力時の動作を示すタイムチャート

【図6】前記実施例のテストパス形成開始時の動作を示すタイムチャート

【図7】前記実施例の遅延時間テスト中の動作を示すタイムチャート

【図8】従来のスキャンパスレジスタを用いた集積回路の論理回路の回路図

【図9】前記従来のスキャンパスレジスタの回路図

【符号の説明】

11…入力側フリップフロップ

12…出力側フリップフロップ

13…スタートゲート回路

15…クロック制御回路

20…被試験回路（組合せ回路など）

30、F1～F3…スキャンパスレジスタ

32、38…マルチプレクサ

34…フリップフロップ

36…エクスクルーシブNOR

CKS…スタートクロック信号

CKE…エンドクロック信号

CLK…クロック信号

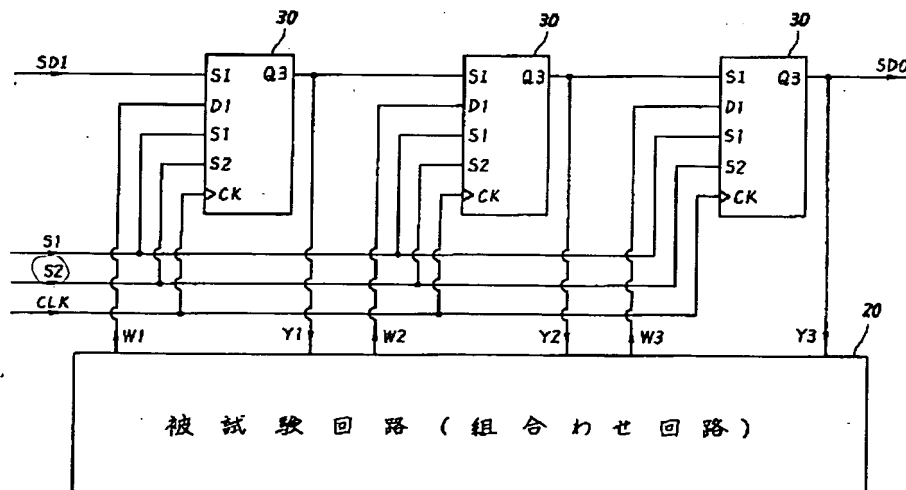
SDI…シフトデータ入力

SDO…シフトデータ出力

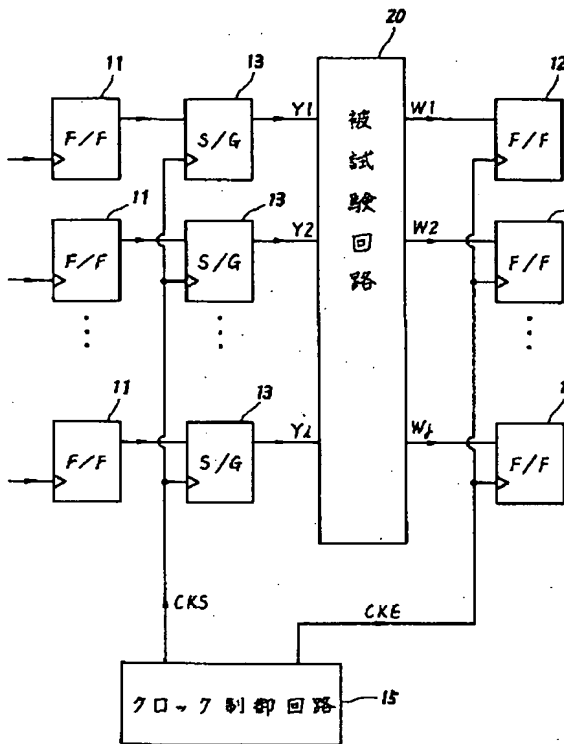
W1～W3～Wj…被試験回路あるいは組合せ回路の出力

Y1～Y3～Yi…被試験回路あるいは組合せ回路の入力

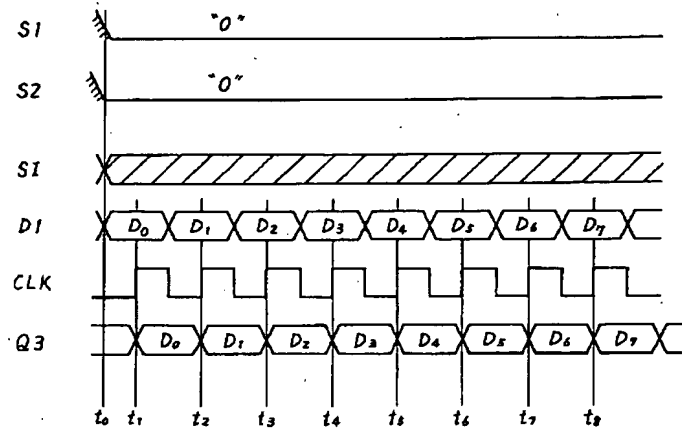
【図2】



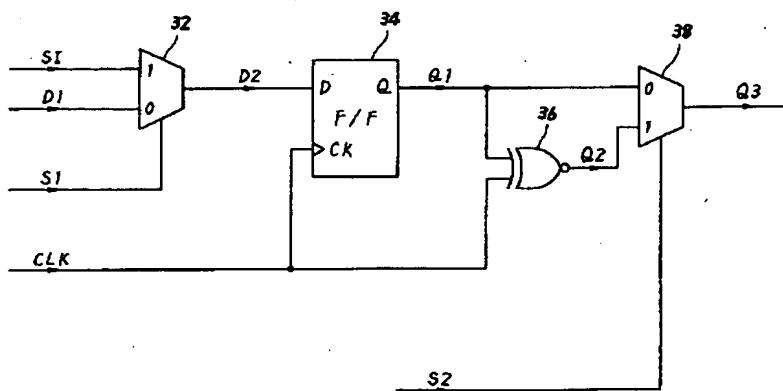
【図1】



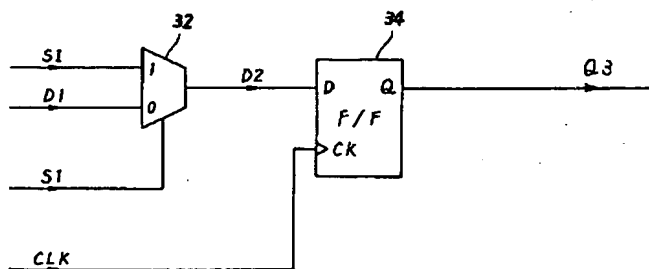
【図4】



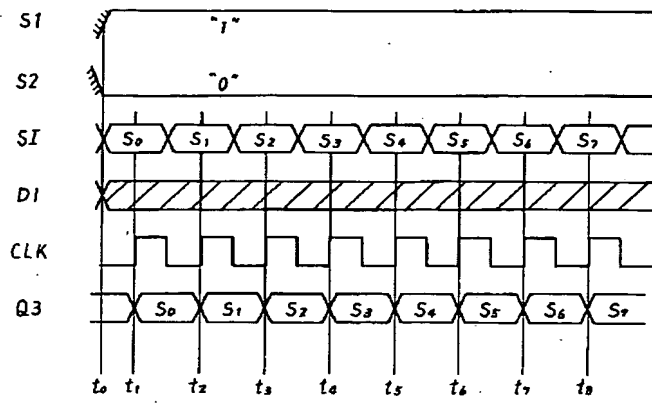
【図3】



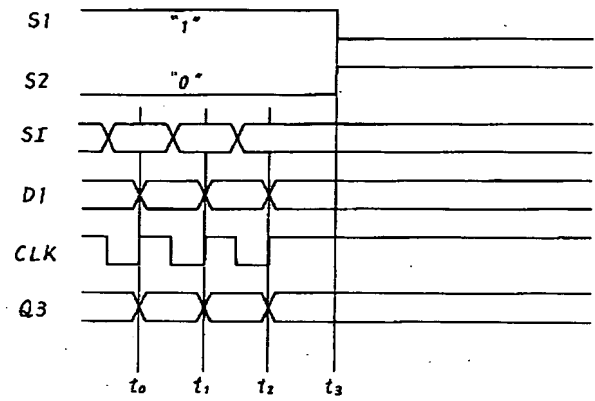
【図9】



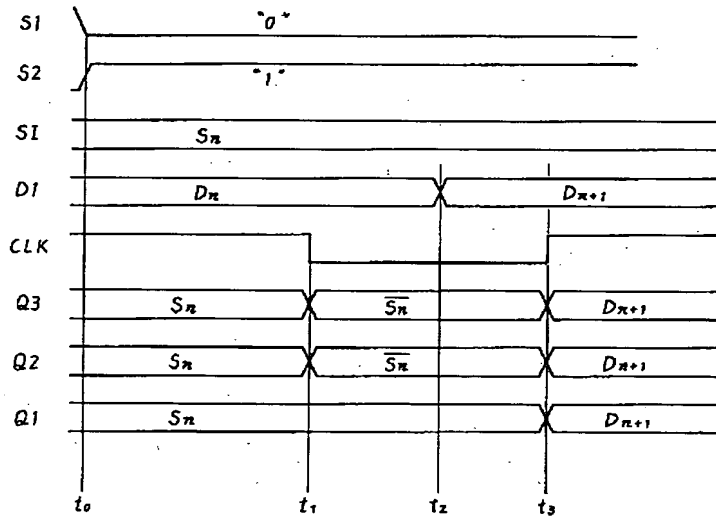
【図5】



【図6】



【図7】



【図8】

